

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299504

(43)Date of publication of application : 24.10.2000

(51)Int.CI.

H01L 35/26
H01L 21/20
H01L 35/16
H01L 35/18
H01L 35/32
H01L 35/34

(21)Application number : 11-105514

(71)Applicant : SHARP CORP

(22)Date of filing : 13.04.1999

(72)Inventor : SATOMURA MASAFUMI
YAMAZAKI ICHIRO
YAMANAKA RYOSUKE

(54) SEMICONDUCTOR MATERIAL AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor material uniformly laminated in a thickness of several mms or thereabouts and at the lamination pitch of several tens nms or thereabouts (The number of layers is thousands to tens of thousands.).

SOLUTION: A laminated self-supporting film 1 is one formed by repeatedly laminating in order chiefly Bi₂Te₃ layers 18 and Sb₂Te₃ layers 19, the lamination pitch(p) is 50 nm and the film thickness (d) of the film 1 is 10 μm. The manufacturing method of this laminated self-supporting film 1 is a method, wherein a glass, for example, is used as a substrate, the layers 18 and the layers 19 are alternately vapor-grown by an MBE method, a sputtering method, a laser application method or the like and after the film 1 is formed, the glass substrate only is removed with a removal fluid, such as a fluorine acid aqueous solution, and the film 1 is obtained. Furthermore, the Bi₂Te₃/Sb₂Te₃ laminated film itself shows a P-type conductivity, but can be formed into an N-type laminated self-supporting film by diffusing AgI, for example, in the laminated film when the laminated film is formed or after the laminated film is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-299504

(P2000-299504A)

(43)公開日 平成12年10月24日 (2000.10.24)

(51)Int.Cl.⁷
H 01 L 35/26
21/20
35/16
35/18
35/32

識別記号

F I
H 01 L 35/26
21/20
35/16
35/18
35/32

テマコト⁷(参考)
5 F 0 5 2

審査請求 未請求 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平11-105514

(22)出願日 平成11年4月13日 (1999.4.13)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 里村 雅史

大阪府大阪市阿倍野区長池町22番22号 シ
ヤーブ株式会社内

(72)発明者 山㟢 一郎

大阪府大阪市阿倍野区長池町22番22号 シ
ヤーブ株式会社内

(74)代理人 100065248

弁理士 野河 信太郎

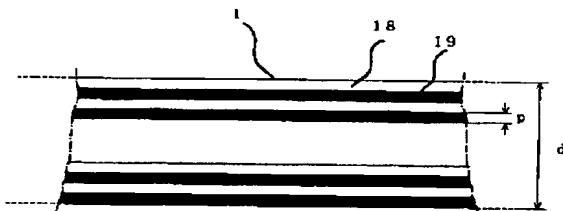
最終頁に続く

(54)【発明の名称】 半導体材料およびその製造方法

(57)【要約】

【課題】 厚みが数mm程度で積層ピッチが数十nm程度（積層数が数千～数万）であり、均一に積層された半導体材料を得る。

【解決手段】 異なる化合物からなる複数種類の層が順次繰り返し積層されてなる積層相と、前記複数種類の層が焼結されてなる焼結反応相とが交互に積層して一体化されていることを特徴とする半導体材料およびその製造方法を提供する。



【特許請求の範囲】

【請求項1】異なる化合物からなる複数種類の層が順次繰り返し積層されてなる積層相と、前記複数種類の層が焼結されてなる焼結反応相とが交互に積層して一体化されていることを特徴とする半導体材料。

【請求項2】焼結反応相において、複数種類の層を構成する各化合物の成分が均一に分散している請求項1に記載の半導体材料。

【請求項3】積層相が、焼結反応相により分割された積層相を含む請求項1または2に記載の半導体材料。

【請求項4】異なる化合物からなる複数種類の層を順次繰り返し積層して積層自立膜を形成し、該積層自立膜をその厚さ方向に複数枚積層して加熱しながら加圧することにより各積層自立膜の表面を熔融固着して焼結反応相を形成するとともに複数の積層自立膜を一体化させることを特徴とする積層相と焼結反応相とが交互に積層されてなる半導体材料の製造方法。

【請求項5】異なる化合物からなる複数種類の層を順次繰り返し積層して積層自立膜を形成し、該積層自立膜を所定の大きさに裁断し、裁断された積層自立膜をその厚さ方向に複数枚積層して加熱しながら加圧することにより各積層自立膜の表面を熔融固着して焼結反応相を形成するとともに複数の積層自立膜を一体化させることを特徴とする積層相と焼結反応相とが交互に積層されてなる半導体材料の製造方法。

【請求項6】異なる化合物からなる複数種類の層を順次繰り返し積層して積層自立膜を形成し、異なる大きさおよび/または異なる形の積層自立膜を複数枚積層し、次いで加圧することにより各積層自立膜の隙間に生じた空間を積層自立膜の破片で充填し、次いで加熱しながら加圧することにより各積層自立膜の表面を熔融固着して焼結反応相を形成するとともに各積層自立膜の隙間に生じた空間に充填された積層自立膜の破片を熔融固着して焼結反応相を形成することを特徴とする積層相または焼結反応相で分割された積層相と焼結反応相とが交互に積層されてなる半導体材料の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の材料からなる積層構造を有する半導体材料およびその製造方法に関するものである。

【0002】

【従来の技術と発明が解決しようとする課題】複数の材料を順次繰り返し積層することにより形成された半導体材料は、高温超伝導材料、圧電材料またはコンデンサ材料などとしての特性を発揮するのに有用であることが知られている。近年、熱電変換材料として、異なる化合物からなる2種類の層を交互に積層してなり、一層当たりの膜厚が数nmである半導体材料、いわゆる超格子構造を有する半導体材料(Rama Venkatasub

ramanian, et. al., The 12th International Conference on Thermoelectrics, 1993, p. 322-327.)が知られ、これを用いた熱電変換素子が提案されている。

【0003】このような熱電変換素子においては、半導体材料が微細な積層ピッチで構成されたものであり、半導体材料の積層界面を垂直方向に通電させるような場合は、積層界面でフォノン(材料内の結晶格子の振動による熱伝導を量子化した考え方)の散乱が起きるため、熱伝導率が大幅に低下する。そこで、本発明において、同様の材料を用いてレーザーブレーキング法により積層ピッチ10~50nm、膜厚1μm(積層数200~1000)の薄膜材料を作成し、その熱伝導率を測定したところ、図7に示すように、積層ピッチの微細化が積層界面における垂直方向の熱伝導率を大幅に低減することが分かった。

【0004】また、熱電冷却あるいは熱電発電用デバイス(総称して熱電変換デバイス)の熱伝導率は、半導体材料の構造だけではなく、半導体材料の膜厚によっても変動する。例えば、一般的な熱電変換デバイスの構造を図8(ただし、ここでは絶縁基板および電極を図示していない)に示す。このデバイスではP型熱電変換素子101とN型熱電変換素子102とからなる熱電変換素子が電極103によって電気的に交互に直列接続されている。このデバイスの第1の終端電極104に「+」、第2の終端電極105に「-」の直流電圧を印加すれば上面が吸熱(冷却)下面が放熱(加熱)面となり、ヒートポンプとして動作するが、この場合、高温側と低温側の温度差によって熱の逆流が起きる。この逆流を抑えてデバイスの効率を上げるために、熱電変換素子101および102の膜厚を厚くする(高温側と低温側の距離を大きくする)必要がある。

【0005】熱電変換素子の性質が一定(無次元性能指數ZT=5)であると仮定して、素子の厚みHと熱電変換効率(COP)の関係を計算した結果を図9に示す。このグラフを見れば、膜厚の厚い熱電変換素子が薄いものよりもCOPが高く、熱の逆流が小さくなることを示している。

【0006】以上のように、超格子構造を有する半導体材料または膜厚が厚い半導体材料からなる熱電変換素子は、熱伝導率を低減することができる。しかしながら、これらの熱電変換素子は熱電変換効率の点において未だ満足できるものではなかった。

【0007】半導体材料の一つであるバルク型熱電材料の製造方法としては、複数の高純度の原料を秤量し、その原料を不活性ガス雰囲気に封入した後、ロッキング炉で融点より高い温度で均一に溶融攪拌し、次いでブリッジマン炉で結晶の方向性を一定にする一方向性の凝固を行う方法(溶成法)が知られている。この方法によれば

異方性材料が製造でき、結晶軸方向に通電する場合は、熱電変換効率が高い材料となる。しかしながらこの製造方法により得られる異方性材料は、劈開性が強く機械的強度が弱いという問題がある。

【0008】このような問題を解決するために、溶成法により一旦製造したインゴットを粉碎して粉体にし、この粉体を融点以下で焼結させて熱電材料を製造する焼結法がある。この方法により製造される熱電材料は、溶成法により製造された熱電材料のように結晶軸は揃っていないが、機械的強度が強く、組成やドーバントの量を変えることで熱電性能を向上させることができると可能である。

【0009】これらの溶成法および焼結法によって製造されたインゴットは、所定の素子寸法に切断されて熱電変換素子となる。P型とN型の熱電変換素子は、その性質が最大に発揮できる方向（材料の異方性による）に向けて交互に整列させ、次いで、電極と接触させる面に半田ペーストを塗布し、電極が形成される。これによりP型とN型の熱電変換素子は電極を介して直列接続される。このようにして図8に示すような熱電変換デバイスを製造することができる。

【0010】また、半導体材料のうち熱電材料以外の積層材料とその製造方法については、例えば特開平2-38313号公報に、Biを含む材料と銅およびアルカリ土類金属を含む材料を周期的に積層させた高温超伝導材料およびその製造方法が開示されている。この方法は、4種類のターゲットを1つの真空容器に設置し、それらのターゲットをスリットを設けた回転シャッターにてマスクしながら順次スパッタすることにより周期的な積層材料を製造するというものである。

【0011】また、結晶性が特に要求されるレーザー素子の半導体材料を形成する方法としては、基板の加熱温度を制御し、前記基板上に強度を制御した分子線を入射させてエピタキシャル成長を行う分子線エピタキシー法（MBE法）も知られている。

【0012】以上に挙げた溶成法や焼結法またはレーザープレーリン法、スパッタ法、MBE法等の真空装置による気相法は、制御性が良く、種々の積層材料が製造できる方法であり、半導体産業において不可欠な技術である。しかしながら、これらの方法によれば、例えば、レーザー素子用のGaAs/A1As超格子が製造できるが、成膜に時間を要するため、積層数の多い積層材料を製造するのは困難であった。したがって、素子の厚みが数mm程度で、積層ピッチが数十nm程度である場合、すなわち積層数が数千～数万にも及ぶ積層材料を製造する場合には、気相法は非常に時間を要するため、これらの方法を工業用に用いることは困難であった。また、これらの方では、たとえ時間をかけて積層しても、下層で生じた格子欠陥や表面の凹凸が積層するにつれて大きくなり、大きな機械的残留応力が生じたり、表面のマクロ単位での平坦性や表面と基板との平行が保た

れなくなり、厚み方向における下層から上層までを均一に積層することが困難であった。

【0013】これに対して、超格子レーザー素子を高速で製造する方法として、真空容器を用いずに、ほぼ大気圧下で基板上に薄膜を成長させる方法（液相エピタキシー法：LPE法）がある。この方法では、低融点の金属を溶媒とし、その中に材料結晶を溶質として飽和溶解させておき、溶解度の温度依存性を利用して過飽和状態にした溶質を種結晶基板上に析出させることにより基板と同一の結晶方位を持つ単結晶の成長層を得ることができる。しかしながら、この方法では、高速で積層材料を製造できるが、積層すべき材料を溶融分散させる溶媒が必要であったり、また、積層すべき材料が2種類以上の組成からなる化合物である場合には、偏析を避けるために膜面温度と溶液温度を制御する必要があった。このうち膜面温度は基板温度を調節することにより制御するため、積層厚みが数mmにも及ぶような厚みが大きい場合には、厚みに応じて基板温度を精密に変化させる必要があり、製造工程が複雑であった。

【0014】本発明は、このような問題を解決するためになされたものであり、熱伝導率が低く、熱電変換効率のよい熱電変換素子を提供し、また、比較的簡便な方法により短い気相成長時間で上記熱電変換素子を製造する方法を提供するものである。

【0015】

【課題を解決するための手段】本発明によれば、異なる化合物からなる複数種類の層が順次繰り返し積層されてなる積層相と、前記複数種類の層が焼結されてなる焼結反応相とが交互に積層して一体化されていることを特徴とする半導体材料が提供される。

【0016】また、異なる化合物からなる複数種類の層を順次繰り返し積層して積層自立膜を形成し、該積層自立膜をその厚さ方向に複数枚積層して加熱しながら加圧することにより各積層自立膜の表面を熔融固着して焼結反応相を形成するとともに複数の積層自立膜を一体化させることを特徴とする積層相と焼結反応相とが交互に積層されてなる半導体材料の製造方法が提供される。

【0017】また、異なる化合物からなる複数種類の層を順次繰り返し積層して積層自立膜を形成し、該積層自立膜を所定の大きさに裁断し、裁断された積層自立膜をその厚さ方向に複数枚積層して加熱しながら加圧することにより各積層自立膜の表面を熔融固着して焼結反応相を形成するとともに複数の積層自立膜を一体化させることを特徴とする積層相と焼結反応相とが交互に積層されてなる半導体材料の製造方法が提供される。

【0018】また、異なる化合物からなる複数種類の層を順次繰り返し積層して積層自立膜を形成し、異なる大きさおよび／または異なる形の積層自立膜を複数枚積層し、次いで加圧することにより各積層自立膜の隙間に生じた空間を積層自立膜の破片で充填し、次いで加熱しな

がら加圧することにより各積層自立膜の表面を熔融固着して焼結反応相を形成するとともに各積層自立膜の隙間に生じた空間に充填された積層自立膜の破片を熔融固着して焼結反応相を形成することを特徴とする積層相または焼結反応相で分割された積層相と焼結反応相とが交互に積層されてなる半導体材料の製造方法が提供される。

【0019】

【発明の実施の形態】本発明の半導体材料を製造するに際して、先ず、基板上に異なる化合物からなる複数種類の層を順次繰り返し積層して積層自立膜を形成する。基板としては、通常用いられているものなら特に限定されないが、ガラス基板が好適に用いられる。

【0020】複数種類の各層を構成する化合物としては、例えばBi₂Te₃、Sb₂Te₃、Bi₂Se₃、Sb₂Se₃等が挙げられ、なかでもBi₂Te₃、Sb₂Te₃が好ましい。積層する方法としては、MBE法、スパッタ法、レーザープレーリング法、多元蒸着法等が挙げられる。

【0021】複数種類の各層の積層順としては特に限定されず、どのような順であってもよい。例えば、3種類のA層、B層、C層を積層する場合は、最下層からA層/B層/C層、A層/A層/B層/C層、A層/B層/B層/C層等と順次繰り返し積層したものが挙げられる。複数種類の各層を成膜する際に、Te、I、AgIまたはCuBr₂等のドナーを用いてもよく、ドナーを各層に適宜拡散することによりP型またはN型の積層自立膜に調製することができる。

【0022】例えば、Bi₂Te₃とSb₂Te₃とを積層した材料はそのままの状態でP型積層自立膜として使用できるのに対し、Bi₂Te₃とBi₂Se₃とを積層した材料ではBi₂Te₃はP型膜で、Bi₂Se₃はN型膜であり、そのままの状態ではN型の積層自立膜として使用することが難しい。そこで、Bi₂Te₃のP型膜に例えばドナーとしてTeを2重量%以上、Iを0.5重量%以上、AgIを0.05重量%以上またはCuBr₂を0.05重量%以上拡散させることにより、Bi₂Te₃のP型膜をN型膜に変えることができ、Bi₂Te₃とBi₂Se₃とを積層した材料をN型の積層自立膜として使用できるようになる。なお、ドナーを拡散させるときは、積層自立膜の製造工程を簡便にするためにも、成膜時にP型膜のBi₂Te₃とN型膜のBi₂Se₃との両方にドナーを拡散させてよく、また、成膜後、積層自立膜にドナーを拡散させてもよい。複数種類の各層の膜厚（積層自立膜の積層ピッチ）は、10~50nmが好ましく、10~20nmがさらに好ましい。積層自立膜の膜厚はハンドリングの良さから1~10μmが好ましい。

【0023】次に、フッ素酸水溶液のような除去液で基板を除去することにより積層自立膜が得られる。得られた積層自立膜を複数枚積み重ね、加熱しながら加圧する

10

ことにより各積層自立膜の表面を熔融固着して焼結反応相を形成する。ここで、各積層自立膜の表面以外の部分は溶融固着されないため、積層自立膜の構成がそのまま残り積層相を形成する。

【0024】積層自立膜を積み重ねるときは、図2および図5に示されるように各積層自立膜の積層方向が一致するように積み重ねる。各積層自立膜は、所定の大きさの熱電変換素子を製造するために、加圧する前に所定の大きさに裁断してもよい。所定の大きさとしては特に限界はないが、最終的に得られる半導体材料の断面積より少し大きいことが好ましい。積み重ねる積層自立膜の枚数は、積層自立膜の膜厚により変動するが、200~2000枚が好ましい。

【0025】積み重ねた積層自立膜を加熱しながら加圧するに際して、例えば積層自立膜がBi₂Te₃/Sb₂Te₃の2層構成では、加熱温度は低沸点成分であるTeの最蒸発、拡散による界面の不明瞭化、および焼結界面の接着性に影響するため、280~360°Cが好ましく、280~300°Cがさらに好ましい。加圧するときの圧力は、積層自立膜の割れが起こらないよう、50kg/cm²以下が好ましく、10~30kg/cm²がさらに好ましい。加圧・加熱時間は20~60分が適度であり、それ以上の時間をかけると不要な拡散を生じ、界面の不明瞭化を引き起こしやすくな。

【0026】以上の工程により、積層相と焼結反応相とが交互に積層されてなる半導体材料が得られる。この半導体材料を所定の大きさに裁断することで、熱電変換素子が得られる。得られた熱電変換素子は、熱伝導率を低減させ、かつ機械的強度をもたせるために、好ましくは1~5mm程度、更に好ましくは2~3mm程度の立方体であるのが好ましい。

【0027】以下、実施の形態1~4により、本発明の半導体材料およびその製造方法を具体的に説明する。

実施の形態1

本発明の半導体材料およびその製造方法の一例を以下に詳述し、その方法により製造された積層自立膜の構成を図1に示す。積層自立膜1は、主としてBi₂Te₃の層18とSb₂Te₃の層19を順次繰り返し積層したもので、積層ピッチpは50nm、膜厚dは10μmである。この積層自立膜1の製造方法は図示しないが、例えばガラスを基板として、MBE法、スパッタ法、レーザープレーリング法等によってBi₂Te₃の層18とSb₂Te₃の層19を交互に気相成長させ、成膜後にガラス基板のみをフッ素酸水溶液などの除去液にて除去して得られる。なお、Bi₂Te₃/Sb₂Te₃の積層膜はそれ自体がP型の導電性を示すが、成膜時または成膜後に例えばAgIを拡散することによりN型の積層自立膜とすることができます。

【0028】積層自立膜1のプレス工程を図2に示す。積層自立膜1は、ダイサーによって3mm角の正方形に

20

30

40

50

カットされ、膜厚 $1.0\ \mu\text{m}$ の積層自立膜片2が複数形成される〔図2(b)〕。積層自立膜片2は洗浄され乾燥した後、300枚積み重ねて、3mm角より若干大きく、深さが5mmであるダイスの四部3a内に挿入される。ダイス3はダイスヒーター4と温度センサー5を内蔵し、温度制御器6によって温度が制御される。ダイス7は3mm角であり、積層自立膜片2が挿入されたダイス3とダイス7はプレス装置8に取り付けられている。油圧のアクチュエーター9によってダイス3とダイス7を操作し、積み重ねられた積層自立膜片をプレスする。この時、ダイス3の温度を約300°Cにして、プレス圧力 $100\ \text{k}\text{g}/\text{cm}^2$ で約30分焼結する〔図2(c)〕。これにより約3mmの立方体の熱電変換素子20が製造される〔図2(d)〕。

【0029】なお、ここではダイス3とダイス7が一対であるプレス機を使用しているが、複数の四部3aを有するマルチダイスと、複数の凸部を有するマルチダイスとからなるプレス機を用いることもできる。実施の形態1により製造された熱電変換素子20の構成を図3に示す。 Bi_2Te_3 の層18と Sb_2Te_3 の層19が交互に積層された積層相10は図2の積層自立膜1の構造がそのまま残っている部分である。焼結反応相11は積層自立膜1の表面部分(膜厚約 $1\ \mu\text{m}$)が、隣接する積層自立膜の表面部分と反応再結晶し熔融固着したものである。したがって、焼結反応相11は積層構造を有さず、複数種類の層を構成する化合物の成分、 Bi_2Te_3 、 Sb_2Te_3 の微結晶が重なり合った微結晶構造となっている。

【0030】実施の形態2

本発明の半導体材料およびその製造方法の他の例を図4および図5を使って説明する。積層自立膜1'は、実施の形態1の積層自立膜1と同様に Bi_2Te_3 の層1'8'と Sb_2Te_3 の層19'を交互に積層したものであり、積層ピッチpは $50\ \text{nm}$ 、膜厚dは $10\ \mu\text{m}$ である。ただし、最上表面 Bi_2Te_3 の層12の膜厚は約 $0.5\ \mu\text{m}$ であり、最下表面 Sb_2Te_3 の層13の膜厚は約 $0.5\ \mu\text{m}$ である(図4)。したがって、積層自立膜1'の成膜開始直後および成膜終了直前の一定時間は成膜材料を切換えずに成膜が行われる。

【0031】積層自立膜1'を実施の形態1と同様の方法で切断し、積層自立膜片2'を複数製造する。そして最上表面 Bi_2Te_3 層12と最下表面 Sb_2Te_3 層13とが接するように各積層自立膜片2'を300枚積み重ねる(図5)。積み重ねた積層自立膜片2'を実施の形態1と同様に加熱し加圧することにより熔融焼結して、最上表面の Bi_2Te_3 層12と最下表面の Sb_2Te_3 層13とを反応させ、焼結反応相11'を形成する。その結果、約 $9\ \mu\text{m}$ の積層相10'、約 $1\ \mu\text{m}$ の焼結反応相11'が交互に積み重なって構成される熱電変換素子20'が製造される。この熱電変換素子20'は実施の形態1で製造された熱電変換素子20と同様の

ものであった。

【0032】実施の形態3

本発明の半導体材料およびその製造方法の他の例を以下に説明する。実施の形態1で得られた積層自立膜1を切断せずに、比較的大きな面積の状態で300枚積み重ね、実施の形態1と同様の方法で加熱し加圧して熔融焼結し、得られた半導体材料を所定の寸法に切断して熱電変換素子20を製造した。

【0033】実施の形態4

本発明の半導体材料およびその製造方法の他の例を以下に説明する。積層自立膜1は基板除去の工程および焼結の準備工程において不定形に膜の割れが生じることが多い。この実施の形態は積層自立膜の割れを積極的に利用して、熱電変換素子20"を得る方法である。この方法により得られる熱電変換素子20"は、実施の形態1～3の熱電変換素子のような積層相10と焼結反応相11とが整然と並んだ構成を有さず(図3)、積層相または焼結反応相により分割された積層相と焼結反応相とが交互に積層する構造を有するものである(図6)。

【0034】成膜基板15(図示せず)上に形成された積層自立膜を、へら状のジグによって機械的に剥がし取り、大きさと形が異なる積層自立膜片14が得られる。その積層自立膜片14を複数枚重ね合わせると〔図6(a)〕、各積層自立膜片14との隙間に多数の空気層16が分布した状態となる〔図6(b)〕。熱電変換素子に空気層16が存在すると、熱電変換素子の性能を低下させ、かつ機械的強度をも低下させるので、これをまず常温でプレスして空気層16を除去する。 $100\ \text{k}\text{g}/\text{cm}^2$ 程度のプレス圧力で空気層16は除去され、その部分にプレスによって割れた積層自立膜片14の破片14'が充填される〔図6(c)〕。次にプレス圧力を $1\ \text{ton}/\text{cm}^2$ 程度にして、焼結温度 $300\ ^\circ\text{C}$ で約1時間熔融焼結を行うと、積層自立膜片14の表面が隣接する積層自立膜片14の表面と熔融固着して焼結反応相11"を形成するとともにプレス時に割れた破片14'とその周りの積層自立膜片14の表面とが焼結し、焼結反応相11"が形成される。最終的に、積層相10"もしくは焼結反応相11"により分割された積層相10"と焼結反応相11"とが交互に積層した半導体材料が形成される。この材料を所定の大きさに切断することにより熱電変換素子20"が製造される。

【0035】熱電変換素子のゼーベック効果(性能Z)は、ゼーベック係数 α 、電気伝導率 δ 、キャリアによる熱伝導率 κ_c およびフォノンによる熱伝導率 κ_p を用いて次式で表される。

$$Z = \alpha 2 \delta / (\kappa_c + \kappa_p)$$

【0036】従来の実用化されている熱電変換素子の性能Zは 3×10^{-3} 程度以下であるのに対し、実施の形態1～4の製造方法により製造された熱電変換素子20、20'および20"の性能Zは $4.5 \sim 6 \times 10^{-3}$ 程度

であり、従来のものより1.5~2倍の性能を示す。実施の形態1~3の製造方法により製造された熱電変換素子 20 および $20'$ と実施の形態4の製造方法により製造された熱電変換素子 $20''$ とは、いずれも高い熱電変換効率を示すが、その効果を奏するメカニズムはそれぞれ異なる。

【0037】一方の熱電変換素子 20 および $20'$ は、Venkatasubramanianらの提案に沿ったものであり、積層界面でのフォノンの散乱を利用し、フォノンによる熱伝導率 κ_p を低減させることによりその効果を奏しているものと考えられる。他方の熱電変換素子 $20''$ は、部分的に存在する積層相ではフォノンによる熱伝導率 κ_p を低減させ、焼結反応相では積層相よりもキャリアの移動度を向上（電気伝導率 μ を向上）させることによりその効果を奏しているものと考えられる。

【0038】

【発明の効果】本発明の半導体材料は、厚みが数mm程度で積層ピッチが数十nm程度、すなわち積層数が数千~数万にも及び、例えば熱電材料として使用された場合は、熱伝導率が極めて低いため、熱電変換効率のよい熱電変換素子となる。また、本発明の半導体材料は、大きな機械的残留応力が無く、表面のマクロな平坦性や表面と基板の平行が確保されていて、厚み方向で下層から上層までの均一な積層構造を有する。また、本発明の方法によれば、上記半導体材料が比較的簡便な方法により短い気相成長時間で製造できる。

【図面の簡単な説明】

【図1】本発明の半導体材料を構成する積層自立膜の構成を示す図である。

【図2】本発明の方法による積層自立膜のプレス工程を示す図である。

【図3】本発明の半導体材料（熱電変換素子）の断面図である。

【図4】本発明の半導体材料を構成する積層自立膜の構成を示す図である。

* 【図5】本発明の半導体材料を構成する積層自立膜の積層方向を示す図である。

【図6】本発明の半導体材料の製造過程を示す図である。

【図7】積層型熱電変換素子材料の積層ピッチと熱伝導率の関係を示すグラフである。

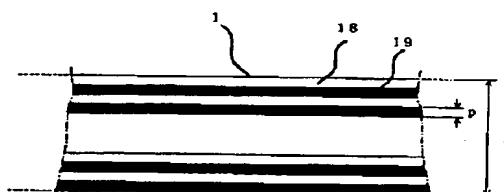
【図8】従来の熱電変換デバイスの構成図である。

【図9】熱電変換素子の膜厚と熱電変換素子のCOPの関係を示すグラフである。

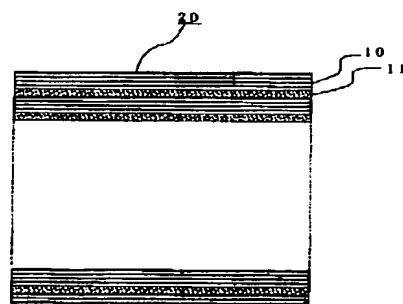
【符号の説明】

1, 1'	積層自立膜
2, 2'	積層自立膜片
3	ダイス
3 a	ダイスの凹部
4	ダイスヒーター
5	温度センサー
6	温度制御器
7	ダイ
8	プレス装置
9	アクチュエーター
10, 10', 10''	積層相
11, 11', 11''	焼結反応相
12	積層自立膜の最上表面のBi, Te, 層
13	積層自立膜の最下表面のSb, Te, 層
14	不定形の積層自立膜片
14'	積層自立膜片の破片
15	成膜基板
16	空気層
18, 18'	Bi, Te, 層
19, 19'	Sb, Te, 層
20, 20', 20''	熱電変換素子
101	P型熱電変換素子
102	N型熱電変換素子
103	デバイスにおける電極
104	第1の終端電極
105	第2の終端電極

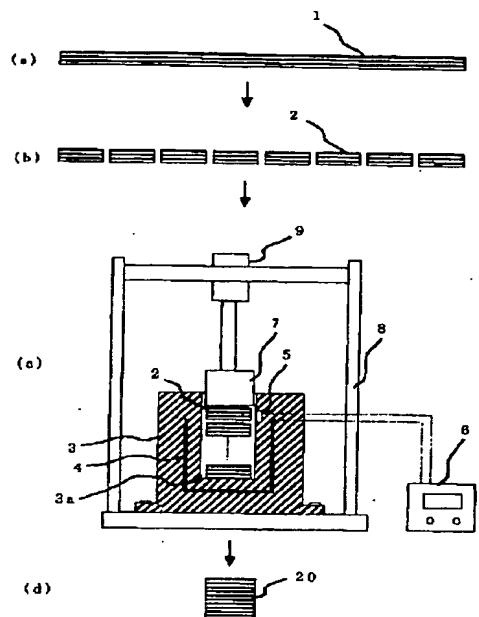
【図1】



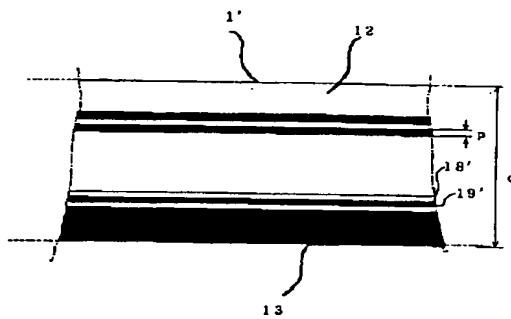
【図3】



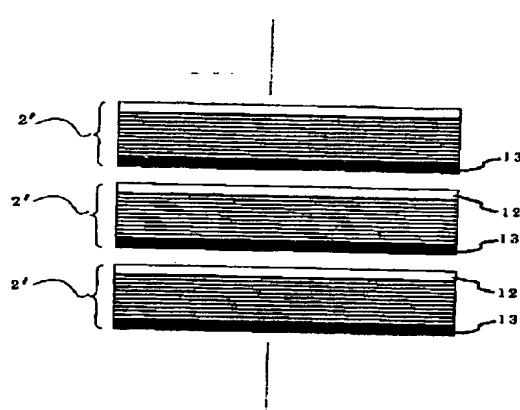
【図2】



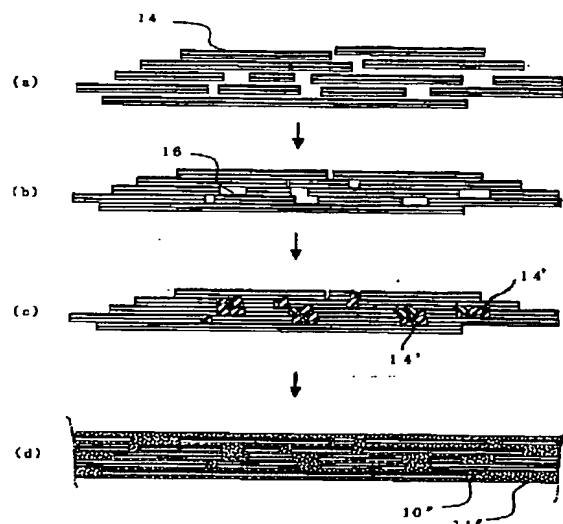
【図4】



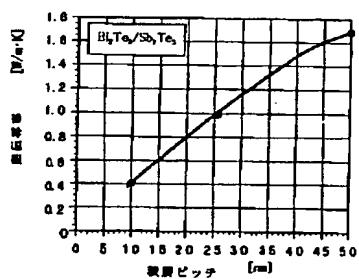
【図5】



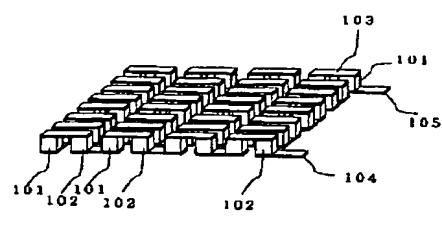
【図6】



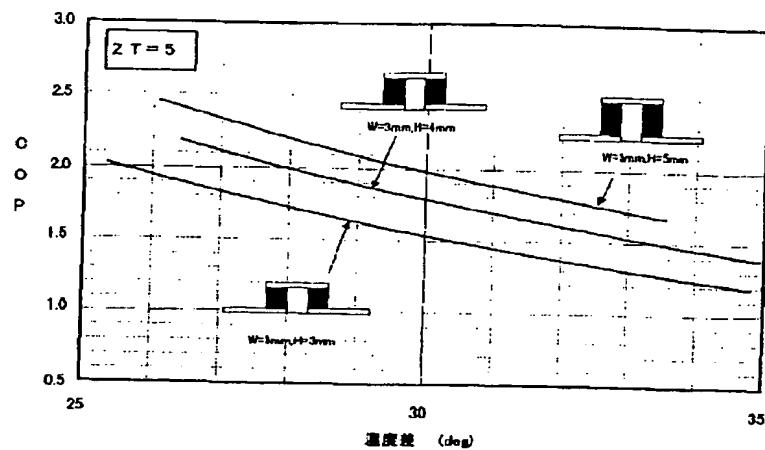
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.
H 01 L 35/34

識別記号

F I
H 01 L 35/34

マーク(参考)

(72)発明者 山中 良亮
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

F ターム(参考) SF052 KA05